

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
Чорноморський національний університет імені Петра Могили  
Факультет комп'ютерних наук  
Кафедра комп'ютерної інженерії

**ЗАТВЕРДЖУЮ**

Перший проректор

 Юрій КОТЛЯР

“ ” \_\_\_\_\_ 2023 року

**РОБОЧА ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ**

**ОБРОБКА СИГНАЛІВ ЗАСОБАМИ ПРОГРАМОВАНОЇ ЛОГІКИ ТА  
СИСТЕМ НА КРИСТАЛІ**

Спеціальність 123 Комп'ютерна інженерія  
Рівень вищої освіти – третій (доктор філософії)

Розробник

Крайник Я. М.

Завідувач кафедри розробника

Журавська І. М.

Завідувач кафедри спеціальності

Журавська І. М.

Гарант освітньої програми

Чуйко Г. П.

Декан факультету

Бойко А. П.

Начальник НМВ

Шкірчак С. І.

Миколаїв – 2023 рік

## 1. Опис навчальної дисципліни

Найменування показника	Характеристика дисципліни	
Найменування дисципліни	Обробка сигналів засобами програмованої логіки та систем на кристалі	
Галузь знань	12 Інформаційні технології	
Спеціальність	123 Комп'ютерна інженерія	
Спеціалізація (якщо є)		
Освітня програма	Комп'ютерна інженерія	
Рівень вищої освіти	PhD	
Статус дисципліни	Нормативна	
Курс навчання	2-й курс	
Навчальний рік	2023/2024	
Номер(и) семестрів (триместрів):	Денна форма	Заочна форма
	3-й семестр	
Загальна кількість кредитів ЄКТС/годин	4 кредити / 120 годин	
Структура курсу: – лекції – практичні  – годин самостійної роботи студентів	Денна форма	Заочна форма
	20 год	
	20 год	
	80 год	
Відсоток аудиторного навантаження	33 %	
Мова викладання	Українська	
Форма проміжного контролю (якщо є)	–	
Форма підсумкового контролю	Іспит	

## 2. Мета, завдання та результати вивчення дисципліни

Метою викладання навчальної дисципліни «Обробка сигналів засобами програмованої логіки та систем на кристалі» є забезпечення достатнього рівня компетенції фахівців у галузі обробки інформації засобами програмованих логічних інтегральних схем та системами на кристали (System-on-Chip, SoC) з урахуванням їх сильних та слабких сторін.

Завдання:

- формування базового рівня знань та практичних навичок з обробки інформації на ПЛІС та SoC;
- набуття знань з принципів обробки інформації з використанням вказаних апаратних засобів.

Очікувані результати навчання:

В результаті вивчення дисципліни студент має знати:

- загально-методологічні принципи обробки інформації за допомогою ПЛІС та SoC;

- можливості ПЛІС та SoC для вирішення відповідних задач;
- особливості реалізації цифрових схем на базі ПЛІС та програмного забезпечення SoC та архітектурну організацію відповідних рішень;
- доступні програмні та апаратні засоби реалізації обробки інформації на ПЛІС та SoC.

*має вміти:*

- реалізовувати базові цифрові схеми на ПЛІС для реалізації обробки інформації;
- організовувати взаємодію на рівні SoC між рівнем програмованої логіки та процесором;
- працювати з апаратними та програмними компонентами ПЛІС та SoC.

### **В результаті вивчення дисципліни студент отримує:**

*Загальні компетентності:*

- ЗК02. Здатність до пошуку, оброблення та аналізу інформації з різних джерел.

*Спеціальні (фахові) компетентності:*

СК05. Здатність ефективно застосовувати методи аналізу, математичне моделювання, виконувати натурні та обчислювальні експерименти при проведенні наукових досліджень у сфері комп'ютерної інженерії.

СК06. Здатність інтегрувати знання з різних галузей, застосовувати системний підхід та враховувати нетехнічні аспекти при розв'язанні інженерних задач та проведенні досліджень.

### **Програмні результати навчання:**

- РН01. Мати передові концептуальні та методологічні знання з комп'ютерної інженерії і на межі предметних галузей, а також дослідницькі навички, достатні для проведення наукових і прикладних досліджень на рівні останніх світових досягнень з комп'ютерної інженерії, ІТ-інфраструктур та інформаційних технологій, отримання нових знань та/або здійснення інновацій.
- РН07. Застосовувати загальні принципи та методи математики, інформатики та інших наук, а також сучасні методи та інструменти, цифрові технології та спеціалізоване програмне забезпечення для провадження досліджень у сфері комп'ютерної інженерії.

### 3. Програма навчальної дисципліни

#### Денна форма

№ з/п	Теми	Лекції	Практичні	Самостійна робота
1	Програмовані логічні інтегральні схеми (ПЛІС) як засоби обробки інформації.	2	2	8
2	Системи на кристалі (System-on-Chip, SoC) як засоби обробки. Основні можливості з точки зору обробки сигналів. Організація взаємодії між процесором та ПЛІС	2	2	8
3	Засоби реалізації обробки сигналів для програмованої логіки та систем на кристалі.	2	2	8
4	Засоби обробки сигналів. Фільтрація даних. IP-ядро FIR фільтру.	2	2	8
5	Засоби генерації сигналів. IP-ядро Direct Data Synthesizer (DDS) для генерації сигналів. IP-ядро CORDIC.	2	2	8
6	Засоби обробки сигналів. Перетворення Фур'є. IP-ядро Fast Fourier Transform.	2	2	8
7	Елементи пам'яті для організації обробки на базі ПЛІС. Типові рішення по організації пам'яті.	2	2	8
8	Використання прямого доступу до пам'яті (Direct Memory Access, DMA) у ПЛІС.	2	2	8
9	Організація конвеєрних обчислень у ПЛІС.	2	2	8
10	Організація програм для SoC з урахуванням взаємодії з програмованою логікою.	2	2	8
	<b>Всього за дисципліною</b>	<b>20</b>	<b>20</b>	<b>80</b>

### 4. Зміст навчальної дисципліни

#### 4.1. План лекцій

#### Денна форма

№ заняття	Тема заняття / план
1	<b>Тема 1</b> Програмовані логічні інтегральні схеми (ПЛІС) як засоби обробки інформації 1) Архітектурна організація мікросхем ПЛІС. Складові елементи 2) Сфери використання ПЛІС 3) Загальний огляд реалізації обробки інформації на базі ПЛІС
2	<b>Тема 2</b> Системи на кристалі (System-on-Chip, SoC) як засоби обробки. Основні можливості з точки зору обробки сигналів. Організація взаємодії між процесором та ПЛІС 1) Архітектура процесору у складі системи на кристалі 2) Периферійні пристрої у процесорах на кристалі 3) Можливості для обробки сигналів. Реалізація операцій. Опції компілятора. 4) Підключення бібліотек для обробки сигналів. GNU Scientific Library та ін. 5) Організація взаємодії між процесором та ПЛІС
3	<b>Тема 3</b> Засоби реалізації обробки сигналів для програмованої логіки та систем на кристалі.

№ заняття	Тема заняття / план
	1) Середовище розробки Quartus Prime. Огляд можливостей організація проекту. 2) Засоби розробки програм для процесору 3) Спеціалізовані засоби та файли
4	<b>Тема 4</b> Засоби обробки сигналів. Фільтрація даних. IP-ядро FIR фільтру. 1) Теоретичні основи фільтрації сигналів 2) IIR та FIR фільтри 3) Ядро фільтру 4) Використання ядра для фільтрації даних у ПЛІС 5) Продуктивність та швидкодія ядра фільтру
5	<b>Тема 5</b> Засоби генерації сигналів. IP-ядро Direct Data Synthesizer (DDS) для генерації сигналів. IP-ядро CORDIC. 1) Генерація сигналів у ПЛІС. Типова схема. 2) IP-ядро Direct Data Synthesizer (DDS) для генерації сигналів. 3) IP-ядро CORDIC.
6	<b>Тема 6</b> Засоби обробки сигналів. Перетворення Фур'є. IP-ядро Fast Fourier Transform. 1) Теоретичні основи перетворення Фур'є 2) Спектр сигналу та його аналіз 3) Швидке перетворення Фур'є 4) IP-ядро Fast Fourier Transform
7	<b>Тема 7</b> Елементи пам'яті для організації обробки на базі ПЛІС. Типові рішення по організації пам'яті 1) Однопортова пам'ять та її використання 2) Двопортова пам'ять та її використання 3) Типові рішення по організації пам'яті та її використанню 4) Подвійна буферизація
8	<b>Тема 8</b> Використання прямого доступу до пам'яті (Direct Memory Access, DMA) у ПЛІС 1) Використання модулю DMA 2) Модуль Scatter-Gather DMA та його особливості 3) Інші типи модулів DMA
9	<b>Тема 9</b> Організація конвеєрних обчислень у ПЛІС 1) Принципи побудови конвеєру 2) Реалізація конвеєру засобами мов схемотехнічного опису 3) Особливості реалізації великих конвеєрів
10	<b>Тема 10</b> Організація програм для SoC з урахуванням взаємодії з програмованою логікою 1) Особливості розробки програм 2) Взаємодія за допомогою Avalon Memory Mapped Interface 3) Передача та отримання даних

#### 4.2. План практичних занять

## Денна форма

№ заняття	Тема заняття / план
1	<b>Тема 1</b> Програмовані логічні інтегральні схеми (ПЛІС) як засоби обробки інформації 1) Базові поняття для реалізації цифрових схем у ПЛІС 2) Використання мов схемотехнічного опису для реалізації базових цифрових схем 3) Типова організація опису цифрової схеми 4) Комбінування простих елементів
2	<b>Тема 2</b> Системи на кристалі (System-on-Chip, SoC) як засоби обробки. Основні можливості з точки зору обробки сигналів. Організація взаємодії між процесором та ПЛІС 1) Використання IDE Quartus Prime 2) Використання GCC-toolchain'у 3) Організація взаємодії між процесором та ПЛІС
3	<b>Тема 3</b> Засоби реалізації обробки сигналів для програмованої логіки та систем на кристалі. 1) Середовище розробки Quartus Prime. Огляд можливостей організації проєкту. 2) Засоби для реалізації програми процесору 3) Повний шлях розробки для SoC на прикладі Intel
4	<b>Тема 4</b> Засоби обробки сигналів. Фільтрація даних. IP-ядро FIR фільтру. 1) Реалізація програмного фільтру 2) Використання ядра FIR-фільтру 3) Особливості налаштування IP-ядра
5	<b>Тема 5</b> Засоби генерації сигналів. IP-ядро Direct Data Synthesizer (DDS) для генерації сигналів. IP-ядро CORDIC. 1) Генератор сигналу на базі ПЛІС - DDS 2) Особливості налаштування IP-ядра 3) Модуляції сигналу
6	<b>Тема 6</b> Засоби обробки сигналів. Перетворення Фур'є. IP-ядро Fast Fourier Transform. 1) IP-ядро Fast Fourier Transform. 2) Особливості налаштування IP-ядра 3) Особливості використання
7	<b>Тема 7</b> Елементи пам'яті для організації обробки на базі ПЛІС. Типові рішення по організації пам'яті 1) Реалізація однопортової пам'яті 2) Використання одпортової пам'яті для збереження даних на різних етапах обробки 3) Реалізація двопортової пам'яті
8	<b>Тема 8</b> Використання прямого доступу до пам'яті (Direct Memory Access, DMA) у ПЛІС 1) Робота зі стандартним модулем DMA 2) Налаштування стандартного модулю DMA 3) Продуктивність модулю DMA 4) Робота з модулем SGDMA 5) Налаштування модулю SGDMA 6) Продуктивність модулю SGDMA
9	<b>Тема 9</b> Організація конвеєрних обчислень у ПЛІС 1) Реалізація простого конвеєру обчислень 2) Реалізація запису у конвеєр

№ заняття	Тема заняття / план
	3) Реалізація зчитування даних з конвеєру 4) Налаштування конвеєру 5) Вирівнювання стадій конвеєрних обчислень
10	<b>Тема 10</b> Організація програм для SoC з урахуванням взаємодії з програмованою логікою 1) Особливості розробки програм 2) Взаємодія за допомогою Avalon Memory Mapped Interface 3) Передача та отримання даних

### Завдання для самостійної роботи

У ході самостійного вивчення матеріалу дисципліни студентам видається завдання-проект, який передбачає реалізацію цифрової схеми на базі ПЛІС. Схема повинна використовувати двопортову пам'ять, у які записується вхідне повідомлення. Повинна забезпечуватись обробка записаних даних з використанням обчислювальних операцій (щонайменше 3 стадії конвеєру) та видача результату обробки на вихідний модуль. Можлива також реалізація подвійного буферу для запису даних у дві пам'яті. Максимальна оцінка за виконання самостійного завдання становить 15 балів за умови коректного виконання усіх вимог та знання теоретичного матеріалу.

#### 4.3. Забезпечення освітнього процесу

*Інструменти / обладнання / програмне забезпечення*

Для забезпечення освітнього процесу використовується обладнання, встановлене у лабораторіях факультету комп'ютерних наук («Комп'ютерні системи та мережі», «Системного програмного забезпечення» та ін.), зокрема, відлагоджувальні плати Intel/Altera DE0 Nano або DE0 Nano SoC, які підключені до серверу, який дозволяє виконувати функції програмування. У ході навчального процесу використовується система Quartus Prime Web Edition для програмування ПЛІС/SoC у складі відлагоджувальної плати. Також використовується програмне забезпечення для запуску віртуальних машин – VMware Player або VirtualBox. Рекомендовано використовувати дистрибутив Ubuntu версії 20 або 22. Під час виконання робіт рекомендовано використовувати відкриті засоби для програмування ПЛІС/SoC, які поширюються під ліцензією GNU або іншою відкритою ліцензією для програмного забезпечення.

### 5. Підсумковий контроль

*Перелік питань підсумкового контролю*

1. ПЛІС та основні особливості мікросхеми.
2. Структурні елементи ПЛІС.
3. З'єднання між елементами у ПЛІС.

4. Пам'ять у ПЛІС.
5. Регістри у ПЛІС.
6. Основні особливості мови схемотехнічного опису.
7. Опис регістрів у VHDL.
8. Асинхронна логіка у VHDL.
9. Синхронна логіка у VHDL.
10. Реалізація однопортової пам'яті.
11. Реалізація двопортової пам'яті.
12. Сигнали керування пам'яттю.
13. Реалізація простого компонента у VHDL.
14. Структурний стиль опису. Комбінування компонентів у VHDL.
15. Dataflow стиль опису у VHDL.
16. Тактова частота роботи схеми у ПЛІС.
17. Рекомендації щодо досягнення високих тактових частот у ПЛІС.
18. Паралельна обробка інформації у ПЛІС.
19. Використання техніки опису скінченого автомата у VHDL.
20. Однопроцесний скінчений автомат.
21. Двопроцесний скінчений автомат. Реалізація конвеєру у асинхронній логіці.
22. Реалізація конвеєру у синхронній логіці.
23. Узгодження роботи конвеєрних елементів.
24. Керування конвеєрними обчисленнями.
25. Прямий доступ до пам'яті (Direct Memory Access).
26. Параметри роботи модулю DMA.
27. Особливості модулю SGDMA.
28. Порівняння модулів DMA та SGDMA.
29. Продуктивність DMA.
30. Продуктивність модулю SGDMA.
31. Поняття дескриптору DMA.
32. Керування налаштуваннями DMA.
33. Переривання процесу передачі DMA.
34. Подвійна буферизація даних.
35. Виграш від подвійної буферизації.
36. Керування процесом подвійної буферизації.
37. Використання пам'яті для реалізації подвійного буферу.
38. Запис даних у подвійний буфер.
39. Реалізація простого фільтру плаваючого середнього.
40. Реалізація складного фільтру.
41. Середовище розробки Quartus Prime. Стадії компіляції проекту.
42. Засоби ModelSim для моделювання цифрових схем.
43. Набір засобів для компіляції програм для SoC. Склад та функції.
44. Avalon Memory-Mapped Interface - основні сигнали та особливості використання
45. Avalon Streaming Interface – основні сигнали та особливості використання
46. IIR фільтри
47. FIR фільтри



48. Використання IP-ядра FIR-фільтру
49. Налаштування FIR-фільтру
50. Типи фільтрів відповідно до сигналу, який пропускається
51. Швидкодія програмної та апаратної реалізацій FIR-фільтрів
52. Перетворення Фур'є та його особливості
53. Використання IP-ядра перетворення Фур'є
54. Приклади використання перетворення Фур'є для обробки сигналу
55. Швидкодія програмної та апаратної реалізацій FFT
56. Налаштування модулю FFT для ПЛІС
57. Генерація сигналу засобами Direct Data Synthesizer
58. Реалізація модуляцій при генерації сигналу (BPSK, QPSK, Amplitude modulation, AM)
59. Регулювання частоти при генерації сигналу
60. Використання тригонометричних обчислень у ПЛІС. CORDIC.
61. Взаємодія між ПЛІС та процесором через регістр
62. Взаємодія між ПЛІС та процесором за допомогою блокової пам'яті
63. Взаємодія між ПЛІС та процесором за допомогою оперативної пам'яті
64. Організація програм для процесору. Однопоточний режим.
65. Організація програм для процесору. Багатопоточний режим.

*«0-й» варіант іспитового білету з зазначенням максимальної кількості балів за кожне виконане завдання*

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
 Чорноморський національний університет ім. Петра Могили  
 Кафедра комп'ютерної інженерії

Група: **PhD105**      Дисципліна: **«Обробка сигналів засобами програмованої логіки та систем на кристалі»**

Іспитовий білет №0

1. Реалізація однопортової пам'яті.
2. Перетворення Фур'є та його особливості.
3. Взаємодія між ПЛІС та процесором через регістр.

Затверджено на засіданні  
 кафедри КІ

Протокол № \_\_\_\_ від  
 \_\_\_\_ 2023 р.

Зав. кафедри \_\_\_\_\_ **І. М. Журавська**      Екзаменатор \_\_\_\_\_ **Я. М. Крайник**

За правильну відповідь на 1 питання іспитового білету студент отримує 10 балів, на 2 та 3 питання – по 15 балів.

## 6. Критерії оцінювання та засоби діагностики результатів навчання

### Денна форма

№ з/п	Вид діяльності (завдання)	Максимальна кількість балів
1	Практична робота № 1	5
2	Практична робота № 2	5
3	Практична робота № 3	5
4	Практична робота № 4	5
5	Практична робота № 5	5
6	Практична робота № 6	5
7	Практична робота № 7	5
8	Практична робота № 8	5
9	Практична робота № 9	5
10	Практична робота № 10	5
11	Самостійна робота над проектом	10
	Іспит	40
	<b>Всього</b>	<b>100</b>

*Критерії оцінювання завдань для досягнення максимальної кількості балів*  
Повнота виконання завдання з достатньою описовою та аналітичною частиною для отриманих результатів. Відповідність результатів очікуваним результатам, представленим у ході робіт.

## 7. Рекомендовані джерела інформації

### 7.1. Основні

1. Pedroni V. A. Circuit Design with VHDL. 3rd edition. MIT Press, 2020. 608 p.
2. Schaumberg D. Digital systems design using VHDL solution manual: Textbook. Independently Publ., 2021. · 118 p.
3. Zieliński T. P. Starting digital signal processing in telecommunication engineering: A laboratory-based course. · Germany : Springer Internat. Publ., 2021. 861 p.
4. Nigmatullin R. R., Lino P., Maione G. New digital signal processing methods: Applications to measurement and diagnostics. · Germany : Springer Internat. Publ., 2020. 443 p.
5. Preeti S., Rajit N. FPGA Algorithms and applications for the Internet of Things. IGI Global, 2020. 257 p.
6. Gulati R. · A Toolchain for on-chip thermal management of FPGA Designs. USA: Pennsylvania State University, 2021.

## 7.2. Додаткові

7. Крайник Я. Інформаційна технологія реконфігурованих систем на базі мікросхем програмованої логіки для керуючого модулю бездротової мережі датчиків. *Автоматизація технологічних і бізнес-процесів*. 2022. Т. 14, Вип. 3. С. 20–26. DOI: 10.15673/atbp.v14i3.2349. Кат. Б

8. Krainyk Y. Devising architecture for remote education organization based on a single-board computer. *Computer Systems and Information Technologies*. 2022. № 4(9). С. 41–46. DOI: 10.31891/csit-2022-4-6. Кат. Б

9. Krainyk Y., Denysov O., Darnapuk Y. Information technology for configuration of system-on-chip in cloud environment. *CEUR Workshop Proceedings*. 2020. Vol. 2740. P. 342–349. Scopus

## 7.3. Інтернет-ресурси

10. [http://pages.cs.wisc.edu/~markhill/cs552/Fall2006/handouts/se\\_tutor.pdf](http://pages.cs.wisc.edu/~markhill/cs552/Fall2006/handouts/se_tutor.pdf)
11. [http://www.gstitt.ece.ufl.edu/courses/eel4712/labs/modelsim\\_tut.pdf](http://www.gstitt.ece.ufl.edu/courses/eel4712/labs/modelsim_tut.pdf)
12. <https://www.nandland.com/vhdl/modules/module-fifo-regs-with-flags.html>
13. <https://www.fpga4fun.com/CrossClockDomain1.html>
14. [http://www.csun.edu/edaasic/roosta/VHDL\\_Examples.pdf](http://www.csun.edu/edaasic/roosta/VHDL_Examples.pdf)
15. [https://www.altera.com/content/dam/altera-www/global/en\\_US/pdfs/literature/manual/mnl\\_avalon\\_spec.pdf](https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/manual/mnl_avalon_spec.pdf)