Основні наукові публікації:

- Reconfigurable decoder for irregular random low density parity check matrix based on FPGA / Maksym Musiyenko; Yaroslav Krainyk; Oleksii Denysov // 2015 IEEE 35th International Conference on Electronics and Nanotechnology (ELNANO). – 2015. – P. 498 - 503. – DOI: 10.1109/ELNANO.2015.7146937.
- Конвеєрна архітектура LDPC-декодування на базі ПЛІС з використанням модифікованого алгоритму мінімальної суми [Електронний ресурс] / Я. М. Крайник, О. О. Денисов // Вісник Черкаського державного технологічного університету. Серія : Технічні науки. - 2015. - № 4. - С. 86-91. - Режим доступу: http://nbuv.gov.ua/UJRN/Vchdtu_2015_4_14
- Підвищення ефективності використання пам’яті частково паралельного LDPC-декодера [Електронний ресурс] / Я. М. Крайник // Вісник Черкаського державного технологічного університету. Серія : Технічні науки. - 2014. - № 4. - С. 10-14. - Режим доступу: http://nbuv.gov.ua/UJRN/Vchdtu_2014_4_4
- Паралельна реалізація алгоритму мінімальної суми для LDPC-декодеру [Електронний ресурс] / М. П. Мусієнко, Я. М. Крайник // Збірник наукових праць Військового інституту Київського національного університету імені Тараса Шевченка. - 2014. - Вип. 47. - С. 139-147. - Режим доступу: http://nbuv.gov.ua/UJRN/Znpviknu_2014_47_24
- Підвищення швидкодії LDPC-декодеру на основі організації подвійного буферу вхідного повідомлення [Електронний ресурс] / М. П. Мусієнко, Я. М. Крайник, С. В. Куценко // Системи обробки інформації. - 2014. - Вип. 9. - С. 54-57. - Режим доступу: http://nbuv.gov.ua/UJRN/soi_2014_9_14
- Підвищення швидкодії декодеру нерегулярних LDPC-кодів на основі організації паралельних черг запису/зчитування [Електронний ресурс] / М. П. Мусієнко, Я. М. Крайник // Вимірювальна та обчислювальна техніка в технологічних процесах. - 2014. - № 3. - С. 111-114. - Режим доступу: http://nbuv.gov.ua/UJRN/vott_2014_3_18